الكلية: الهندسة
اسم الطالب: **هشام لطيف سوادي رومي**
القسم: الكهرباء
اسم المشرف: **أ. د. ظافر رافع زغير**

عنوان الاطروحة: **تصميم خلية مصفوفه البوابات المبرمجة حقليا باستخدام فضاء المنطق المتعدد تحويل-تشفير-تجميع**

الخلاصة

في هذا البحث تم العمل على تحسين وتعزيز فضاء المنطق المتعدد المستويات تحويل-تشفير-تجميع (CCCi او CCC4 تحديدا) والذي تم مناقشته في بحث سابق، ان التحسين والتعزيز لهذا المنطق سيشمل الدوال والبوابات المنطقية وبناء الدوائر في مستوى الدوائر الاساسية (RTL). ومن الدوائر الاساسية التي تم بنائها بعد التحسين هي دائرة الاختيار (multiplexer) ووحدة الخزن (D-FF) وخلية FPGA ودائرة الجمع (adder) ودائرة الضرب (multiplier). وقد تم البناء باستخدام اسلوب التيار (current-mode). ان دوائر المنطق المتعدد CCC4 تم بنائها بالاعتماد على الدوال المعروفة والمستخدمة سابقا في هذا الميدان مثل اصغر (min)، اكبر (max)، الفرق المبتور (truncated difference)، والعتبة العليا (upper threshold) والعتبة الأدنى (lower threshold) والتي تتميز بالبساطة والكلفة القلية. وقد تم بنائها بنجاح باستخدام حزمتين من المحاكاة، حزمة البرامج cadence 16.6 لمحاكاة الدوائر بمستوى الترانزستور وحزمة المحاكاة MATLAB للدوائر والنظم المعقدة. ونأمل أن هذه الدراسة سوف تمهد لبناء المعالجات الفائقة باستخدام المنطق المتعدد عن طريق بناء خلية مصفوفات البوابات المنطقية المبرمجة حقليا متعددة المستويات (MVL FPGA) وبالتالي بناء وتحقيق الدوائر الاساسية (RTL) في المنطق المتعدد المستويات.

College: Engineering
Student: **Hisham Latif Swady**
Dep.: Electrical Engineering
Supervisor: **Prof. Dr. Dhafer Rafeh Zaghar**

Name of Thesis: **DESIGN OF A MULTIPLE-VALUED LOGIC FPGA CELL BASED ON CONVERT-CODED-COLLECT (CCCi) SPACE**

Abstract

An improvement and enhancement to the CCCi (CCC4) space MVL introduced, the improvements are to motivate the CCCi MVL into functional completeness and the enhancement for testing the capability of this logic, an RTL system implemented in addition to the basic logic gates that make it. Hence that, some RTL system design, implemented and tested such as multiplexer, D-FF, FPGA, adder and multiplier are present moreover, talked about. Furthermore, in this thesis the current-mode MVL approach is utilized to design and establish the suggested MVL. Design of CCC4 MVL used the existed conventional current mode circuits such as min, max, truncated difference, upper threshold and lower threshold, the used circuits are low complex and technology dependent all operators and functions are successfully implemented and realized by using two simulation packages, the cadence 16.6 software package in the transistor level simulation and Siulink-MATLAB for the circuits and systems. Hopefully, this study will lead to the intent and implementation of MVL microprocessors through of transferring this work in a practical, and feasible reaching to the MVL FPGA and other RTL circuits.